

Transkoder

Metody projektowania w Verilogu dla FPGA

Laboratorium Języków Opisu Sprzętu AGH WFIS

Transkoder jest układem kombinacyjnym, który zamienia słowo kodu wejściowego na słowo kodu wyjściowego.

Dwie metody:

- ❑ Instrukcja wyboru wielokrotnego case,
- ❑ Pamięć stała.

Metoda instrukcji wyboru case

```
module transcoder
    #(parameter len_code_in = 8, len_code_out =8)
    (input [len_code_in-1:0] code_word_in,
    output reg [len_code_out-1:0] code_word_out);

always @*
    case(code_word_in)

        endcase
endmodule
```

Metoda pamięci stałej

```
module transcoder
  #(parameter len_code_in = 8, len_code_out =8,
  nb_words = 78)
  (input clk, read,
  input [len_code_in-1:0] code_word_in,
  output reg [len_code_out-1:0] code_word_out);
  reg [len_code_out-1:0] mem_codes [0: nb_words-1];
  integer i;
  initial begin
    for (i = 0; i <= nb_words-1; i=i+1 )
      mem_codes[i] = 8'h00;
    $readmemh("codes.dat", mem_codes);
  end
  always @(posedge clk) if(read)
    code_word_out = s2[code_word_in];
endmodule
```