

Generator przebiegu

z wykorzystaniem pmod DA1

Zbuduj na płycie testowej ze Spartanem-3AN czterokanałowy generator arbitralnych przebiegów, składający się z dwóch części:

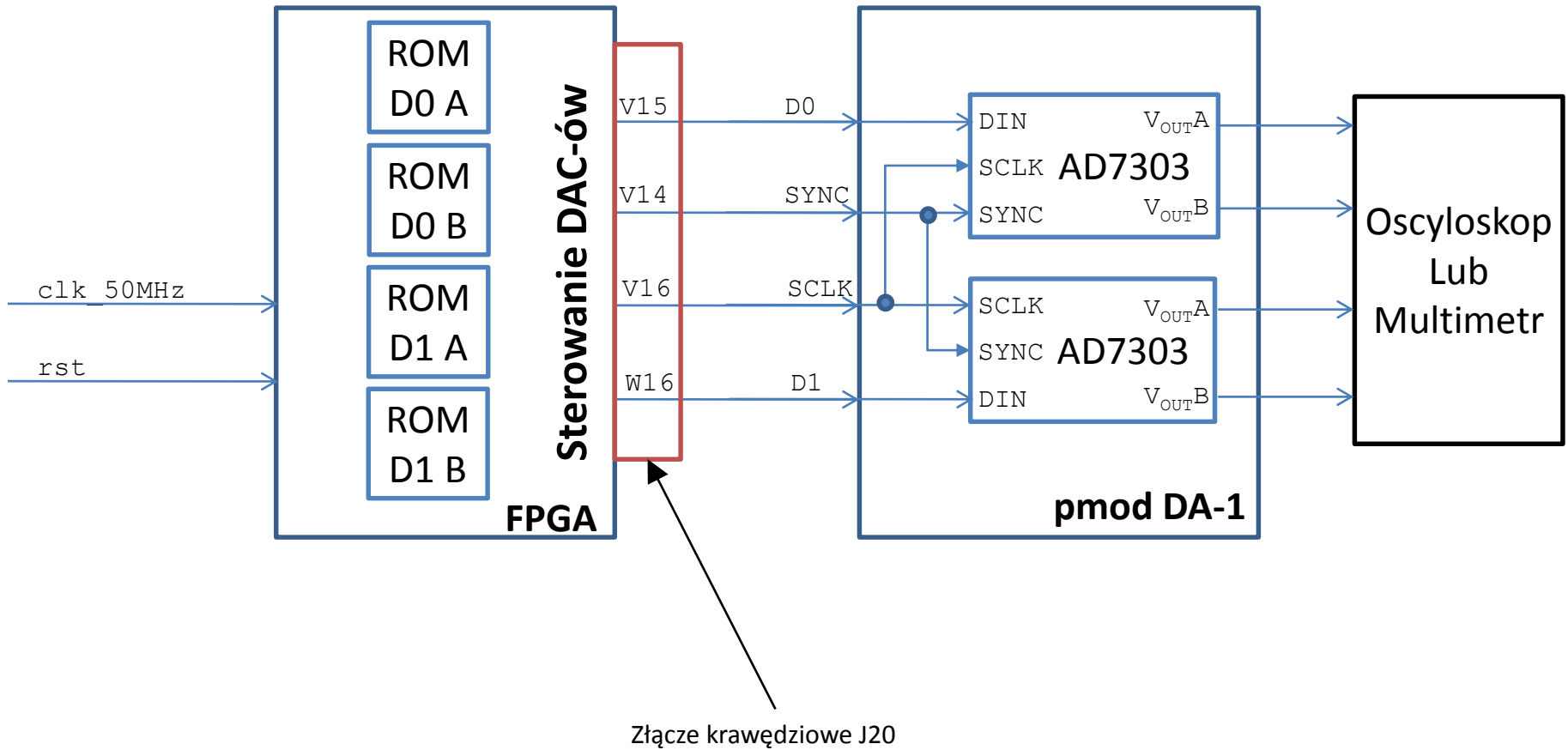
- ❑ Pamięci stałych ROM (zaimplementowanych w FPGA), w których umieszczone są kolejne wartości próbek jednego okresu generowanego przebiegu w postaci wartości 8-bitowych,
- ❑ Układu generującego sygnały sterujące interfejsu SPI i dane szeregowo dla układów przetworników cyfrowo-analogowych na module pmod DA1.

Opracuj zawartość pamięci ROM dla wybranych przez siebie sygnałów.

Po przeprowadzeniu implementacji przebiegi zaobserwować na oscyloskopie.

Laboratorium Języków Opisu Sprzętu AGH WFIS

Konceptcja układu



Sygnaly

| Sygnal Nazwa na pmod DA1 | FPGA Złącze J20 | Opis |
|-----------------------------|--------------------|---|
| SYNC | V14 | Wybór układu (chip select) aktywny stanem niskim. Przetwarzanie cyfrowo-analogowe wewnątrz AD7303 rozpoczyna się gdy ten sygnał powraca do stanu wysokiego. |
| D0 | V15 | Dane szeregowe; 16 bitów - muszą mieścić się pomiędzy zboczem opadającym, a narastającym sygnału SYNC. Zawierają 8 bitów sterujących i 8 bitów danych zaczynając od najbardziej znaczącego. |
| D1 | W16 | |
| SCLK | V16 | Zegar transmisji; Na zboczu narastającym do układu LTC 2624 wpisywana jest wartość linii danych SPI_MOSI |

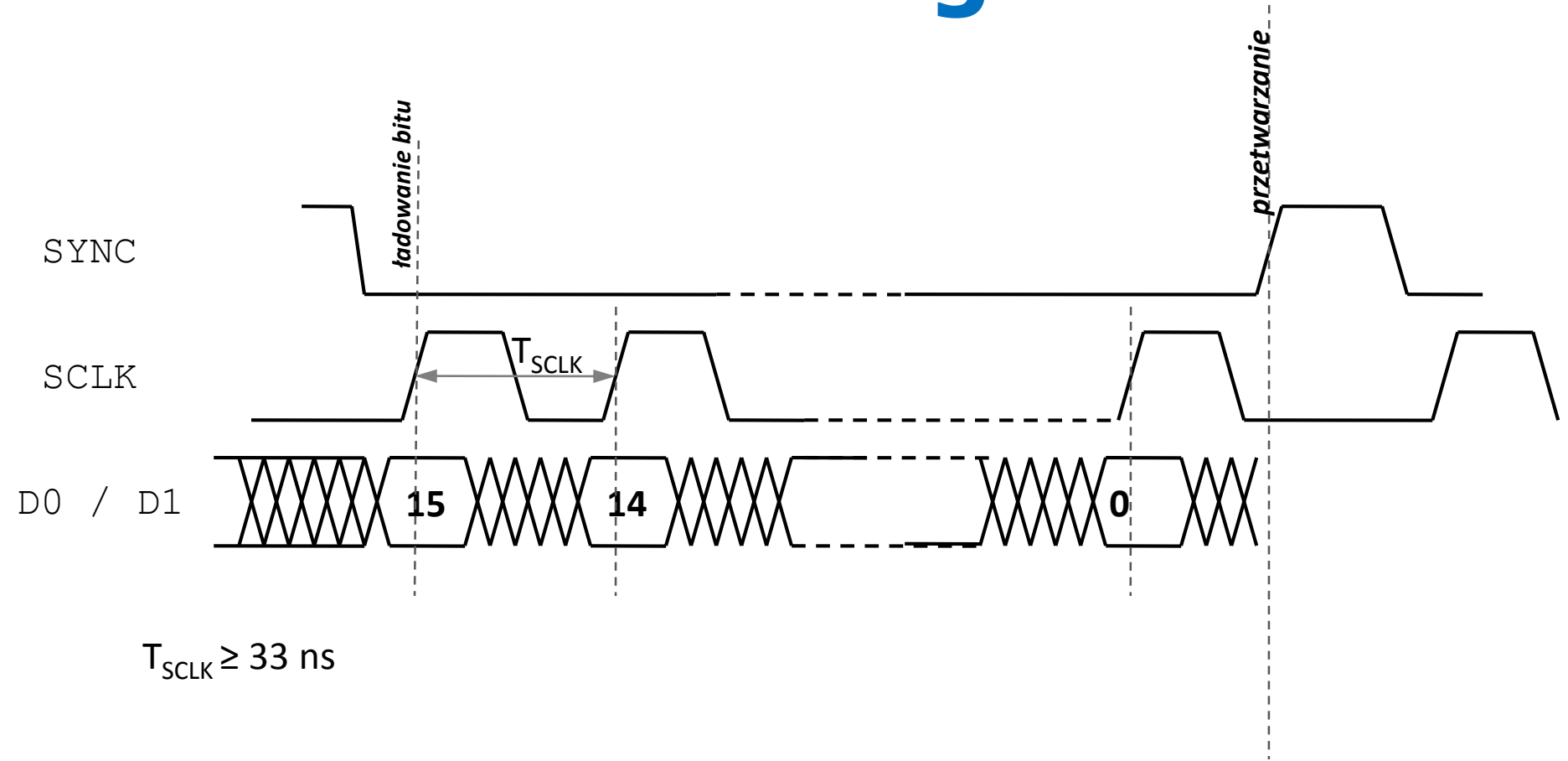
Układu AD7303 jest dwukanałowy.

Bity sterujące w pierwszej części słowa wejściowego układu AD7303 opracuj w oparciu o tabele na str. 10 pozycji [2].

Format słowa wejściowego układu AD7303 (wejściowy rejestr przesuwany):

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------------|----|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| INT/ EXT | - | LDAC | PDB | PDA | A/B | CR1 | CR0 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |

Przebiegi



Opis

Po zmianie stanu sygnału `SYNC` z wysokiego na niski, układ wysyła dane poprzedzone bitami sterującymi w postaci szeregowej na sygnałach `D0` i `D1` zaczynając od najbardziej znaczącego bitu.

Przetworniki `AD7303` wczytuje kolejne bity `D0` i `D1` na narastającym zboczach sygnału zegarowego `SCLK`.

Dane `D0` (`D1`) muszą być stabilne na przynajmniej 5 ns przed narastającym zboczem zegara `SCLK`.

Ścieżka danych wewnątrz układu `AD7303` składa się z czterech etapów:

- ❑ Wejściowy 16-bitowy rejestr przesuwany – wspólny dla obu kanałów,
- ❑ Wejściowy 8-bitowy rejestr równoległy – po jednym dla każdego kanału,
- ❑ Dekoder 8-bitów do 32-bitów – po jednym dla każdego kanału,
- ❑ Rejestr DAC-a, przechowujący wartość próbki do momentu uaktualnienia DAC-a – po jednym dla każdego kanału.

Moment faktycznej aktualizacji wyjść analogowych zależy od konfiguracji bitami kontrolnymi.

Literatura:

❑ **PmodDA1 Reference Manual,**

https://reference.digilentinc.com/pmod/pmod/da1/ref_manual

❑ **AD7303; +2.7 V to +5.5 V, Serial Input, Dual Voltage Output 8-Bit DAC,**

<http://www.analog.com/media/en/technical-documentation/data-sheets/AD7303.pdf>