

Generator przebiegu

Zbuduj na płycie testowej ze Spartanem-3AN prosty układ do generacji arbitralnego przebiegu, składający się z dwóch części:

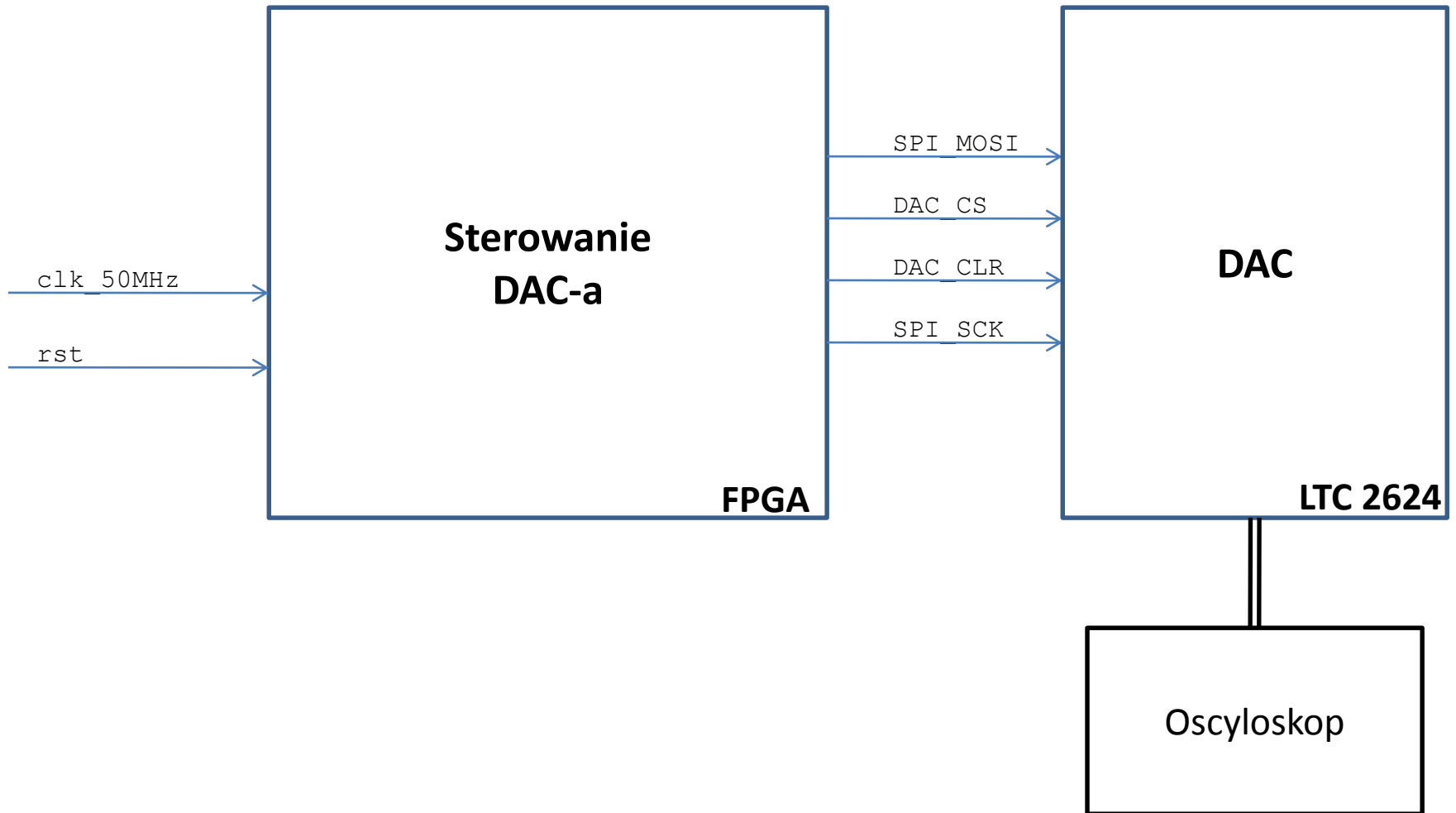
- ❑ Pamięci stałej ROM, w której umieszczone są kolejne wartości próbek jednego okresu generowanego przebiegu w postaci wartości 12-bitowych,
- ❑ Układu generującego sygnały sterujące interfejsu SPI i dane szeregowo dla układu przetwornika cyfrowo-analogowego LTC 2624 DAC.

Opracuj zawartość pamięci ROM dla wybranego przez siebie sygnału np. trójkątnego.

Po przeprowadzeniu implementacji przebieg zaobserwować na oscyloskopie.

Laboratorium Języków Opisu Sprzętu AGH WFIS

Końcówki



Sygnaly

Sygnal	FPGA	Opis
SPI_SCK	AA20	Zegar; Na zboczu narastającym do układu LTC 2624 wpisywana jest wartość linii danych SPI_MOSI
DAC_CLR	AB13	Asynchroniczny reset aktywny stanem niskim
DAC_CS	W7	Wybór układu (chip select) aktywny stanem niskim. Przetwarzanie cyfrowo-analogowe wewnątrz LTC 2624 rozpoczyna się gdy ten sygnał powraca do stanu wysokiego
SPI_MOSI	AB14	Dane szeregowo; 32 bity muszą mieścić się pomiędzy zboczem opadającym, a narastającym sygnału DAC_CS zaczynając od najbardziej znaczącego

Układu LTC 2624 jest czterokanałowy. Aktywny kanał musi być zaadresowany 4-bitowym polem „*adres kanału*” 32-bitowego słowa wejściowego:

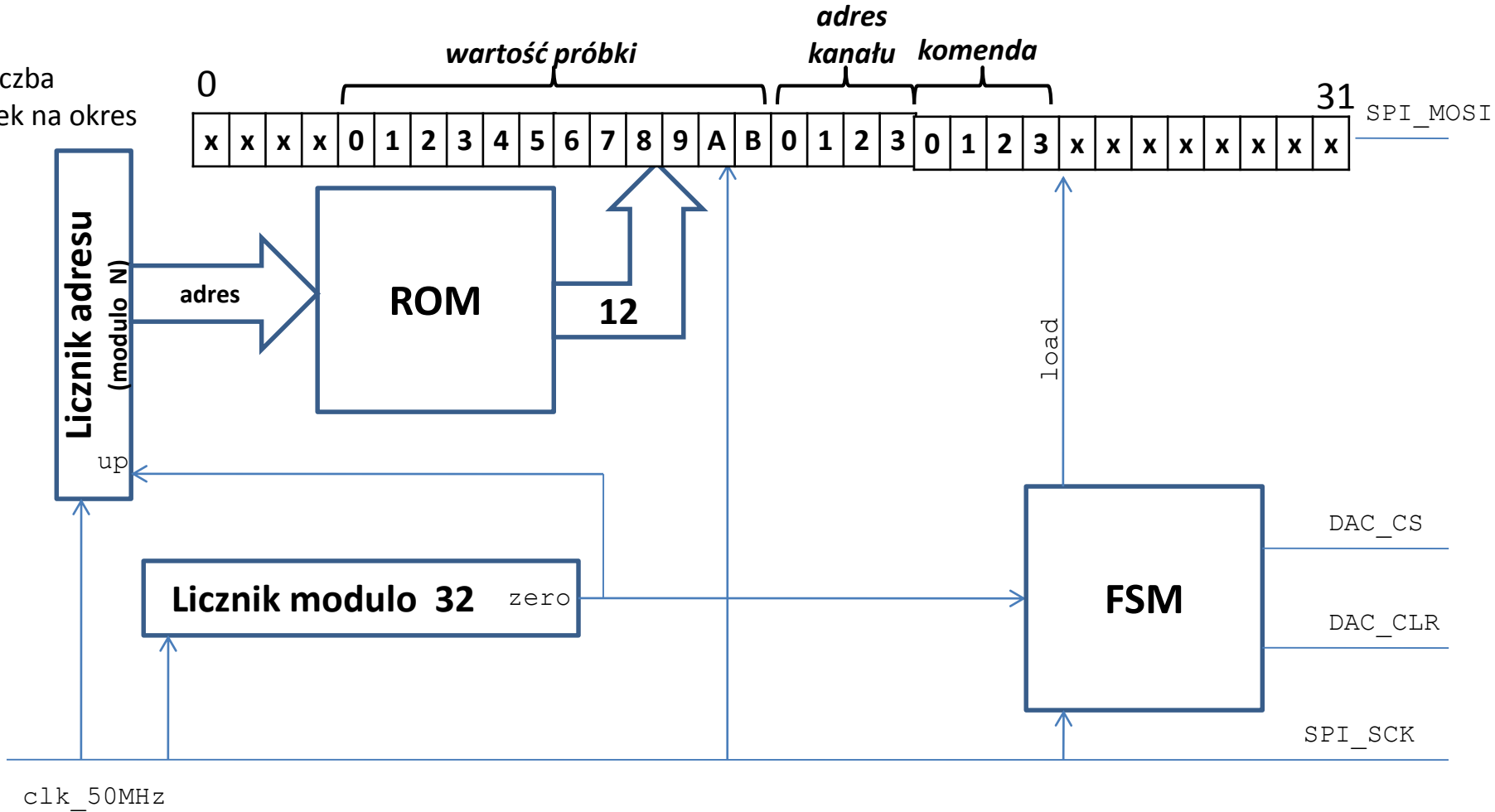
a ₃	a ₂	a ₁	a ₀	kanał
0	0	0	0	A
0	0	0	1	B
0	0	1	0	C
0	0	1	1	D
1	1	1	1	wszystkie

W polu „*komenda*” należy użyć wartości: $\text{komenda}[3:0] = 0011$, która oznacza:

„uaktualnij wyjście wybranego kanału DAC-a natychmiast po otrzymaniu wartości”.

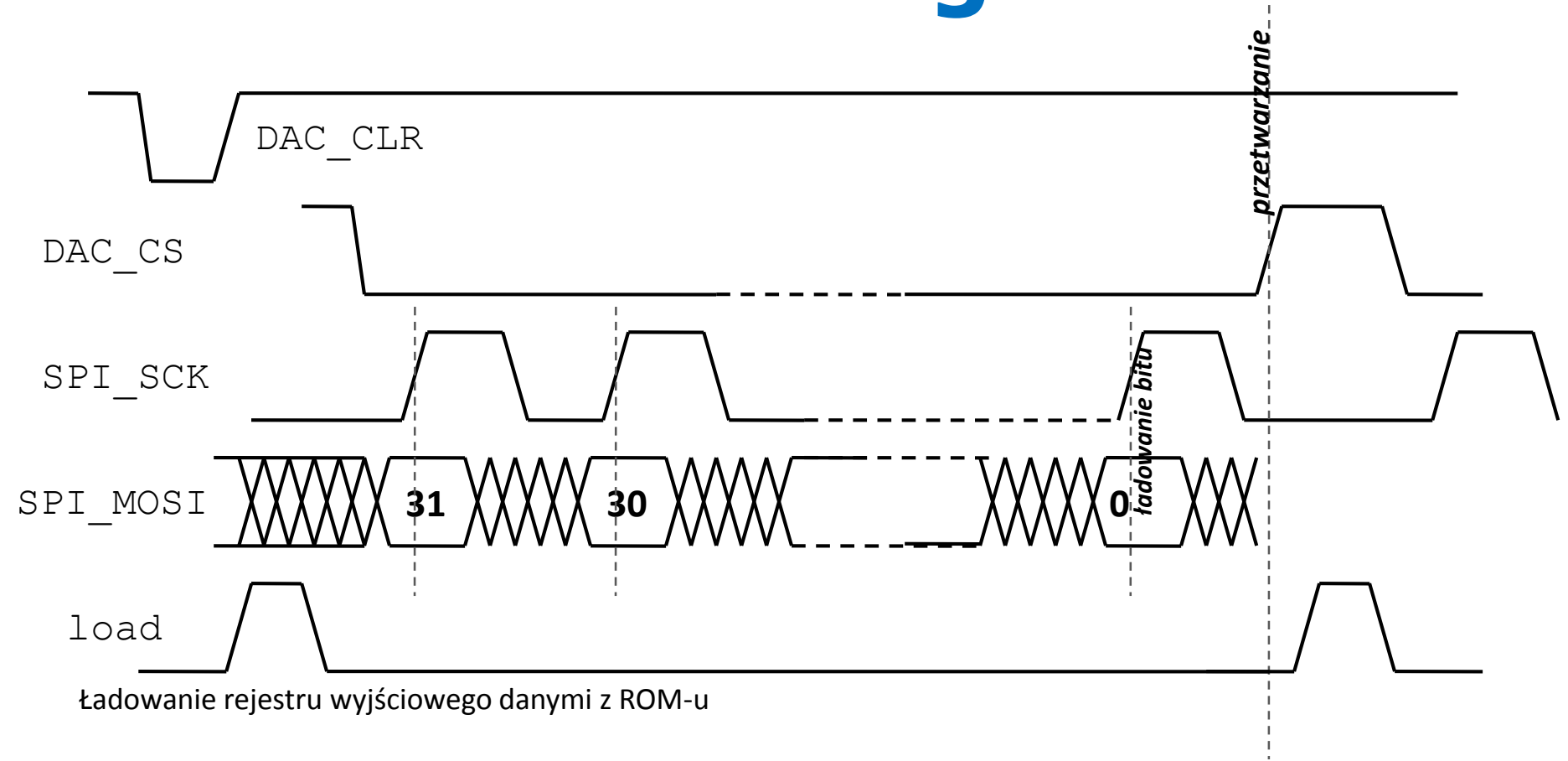
Architektura

N – liczba próbek na okres



Pominięto sygnał kasowania `rst`

Przebiegi



Opis

Po zmianie stanu sygnału `DAC_CS` z wysokiego na niski, układ wysyła dane w postaci szeregowej na sygnale `SPI_MOSI` zaczynając od najbardziej znaczącego bitu.

Przetwornik LTC2624 wczytuje kolejne bity danych `SPI_MOSI` na narastającym zboczach sygnału zegarowego `SPI_SCK`.

Dane `SPI_MOSI` muszą być stabilne na przynajmniej 4 ns przed narastającym zboczem zegara `SPI_SCK`.

Po zakończeniu transmisji 32 bitów danych, układ kończy cykl pracy magistrali SPI poprzez przywrócenie stanu wysokiego na sygnale `DAC_CS`.

Narastające zbocze sygnału `DAC_CS` uruchamia proces przetwarzania cyfrowo-analogowego wewnątrz układu LTC2624.

Oznacza to że, narastające zbocze sygnału `DAC_CS` po zakończeniu transmisji najmniej znaczącego bitu danych jest konieczne dla wygenerowania nowej wartości wyjścia aktywnego kanału układu LTC2624.

Literatura:

☐ *LTC2624 - Quad 12-Bit Rail-to-Rail DACs in 16-Lead SSOP,*
<http://www.linear.com/product/LTC2624>