

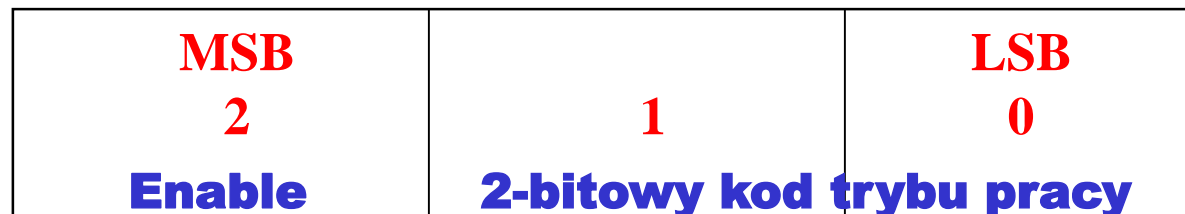
Programowany układ czasowy

Zbuduj na płycie testowej ze Spartanem-3AN prosty ośmiobitowy układ czasowy pracujący w trzech trybach. Zademonstruj jego działanie na ekranie oscyloskopu.

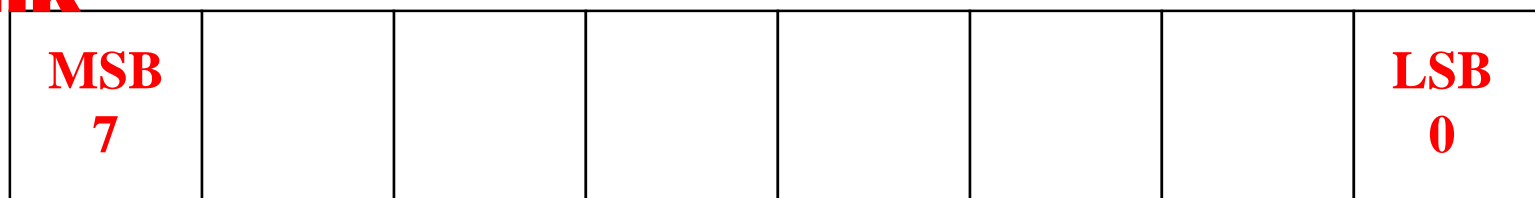
Projekt z Języków Opisu Sprzętu AGH WFIS

Wybór trybu realizowany jest przez wartość ładowaną do wewnętrznego rejestru zwanego słowem sterującym. Rejestr ten jest trzybitowy:

Rejestr Słowa Sterującego



Licznik



Rejestr



Enable – jeśli jest 1 to układ jest uruchamiany

Układ czasowy - wymagania

Tryb „00” – one-shot.

Do **Licznika** układu jest wpisywana 8-bitowa wartość. Następnie **Rejestr Słowa Sterującego** jest ładowany wartością „100” i układ zaczyna zliczać w górę na każdym narastającym zboczu zegara. Kiedy w **Liczniku** zostanie osiągnięta wartość FF, na wyjściu układu generowany jest jeden impuls o szerokości impulsów zegarowych. Bit **Enable** jest ustawiany na „0” i kończy się praca układu. Powtórzenie cyklu wymaga wpisania „1” do najbardziej znaczącego bitu **Rejestru Słowa Sterującego**.

Tryb „01” – generator impulsów.

Do **Licznika** układu jest wpisywana 8-bitowa wartość. Następnie **Rejestr Słowa Sterującego** jest ładowany wartością „101” i układ zaczyna zliczać w górę na każdym narastającym zboczu zegara. Kiedy w **Liczniku** zostanie osiągnięta wartość FF na wyjściu układu generowany jest jeden impuls o szerokości impulsów zegarowych.

Wartość bitu **Enable** nie jest zmieniana i cykl pracy układu jest ponownie rozpoczynany. Zatrzymanie pracy układu wymaga wpisania „0” do najbardziej znaczącego bitu **Rejestru Słowa Sterującego** lub podania stanu wysokiego na wejście `ceb`.

Układ czasowy – wymagania

Tryb „10” – generator przebiegu o wypełnieniu 50%.

Do **Licznika** układu jest wpisywana 8-bitowa wartość. Następnie **Rejestr Słowa Sterującego** jest ładowany wartością „110”.

Układ zaczyna zliczać w dół na każdym narastającym zboczu zegara. Kiedy w **Liczniku** zostanie osiągnięta połowa wartości początkowej na wyjściu układu generowany jest stan wysoki „1”. Dekrementacja licznika odbywa się dalej a w momencie osiągnięcia wartości „0”, na wyjściu układu przywracany jest stan „0”. Wartość bitu **Enable** nie jest zmieniana i cykl pracy układu jest ponownie rozpoczynany. Zatrzymanie pracy układu wymaga wpisania „0” do najbardziej znaczącego bitu **Rejestru Słowa Sterującego** lub podania stanu wysokiego na wejście `ceb`.

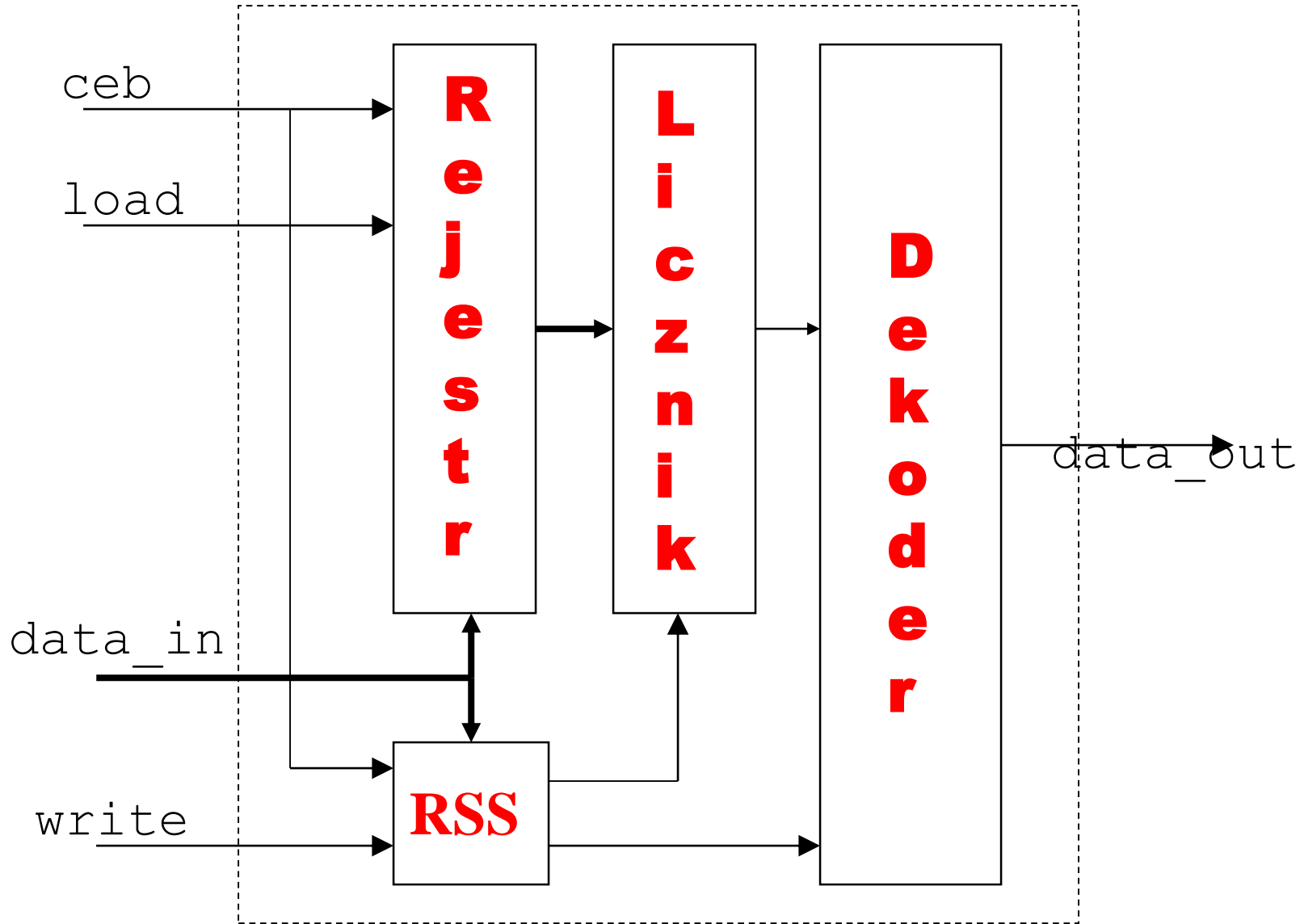
W trybie 10 wyjście układu zmienia więc swoją wartość zawsze gdy licznik osiągnie połowę swojej początkowej wartości formując w ten sposób falę prostokątną.

Tryb „11” – nie używany

Sygnały układu czasowego

Sygnal	Wej/Wyj	Opis
reset	input	Końcówka umożliwiająca sprowadzenie układu do stanu początkowego
ceb	input	Enable układu stanem niskim „0”
write	input	Stan „1” zezwala na wpisanie do RSS wartości trzech najmniej znaczących bitów magistrali data_in
load	input	Stan „1” zezwala na wpisanie do rejestru 8-bitowej wartości z magistrali data_in. Stanowi to początek procesu zliczania.
data_in[7:0]	input	8-bitowa magistrala danych
data_out	output	Sygnal wyjściowy
clk	input	zegar

Architektura układu



Architektura układu

Bloki funkcjonalne układu:

Rejestr	8-bitowy rejestr równoległy do przechowywania wartości początkowej dla Licznika
RSS	Rejestr Słowa Sterującego przechowujący bit uruchamiający Enable (MSB) i dwa bity kodu trybu pracy
Licznik	8-bitowy licznik zliczający w dół gdy bit Enable RSS jest ustawiony i generujący znaczniki opróżnienia i pół-opróznienia
Dekoder	Układ kombinacyjny generujący wyjście układu w zależności od znaczników licznika i bitów RSS

Diagram ładowania danych

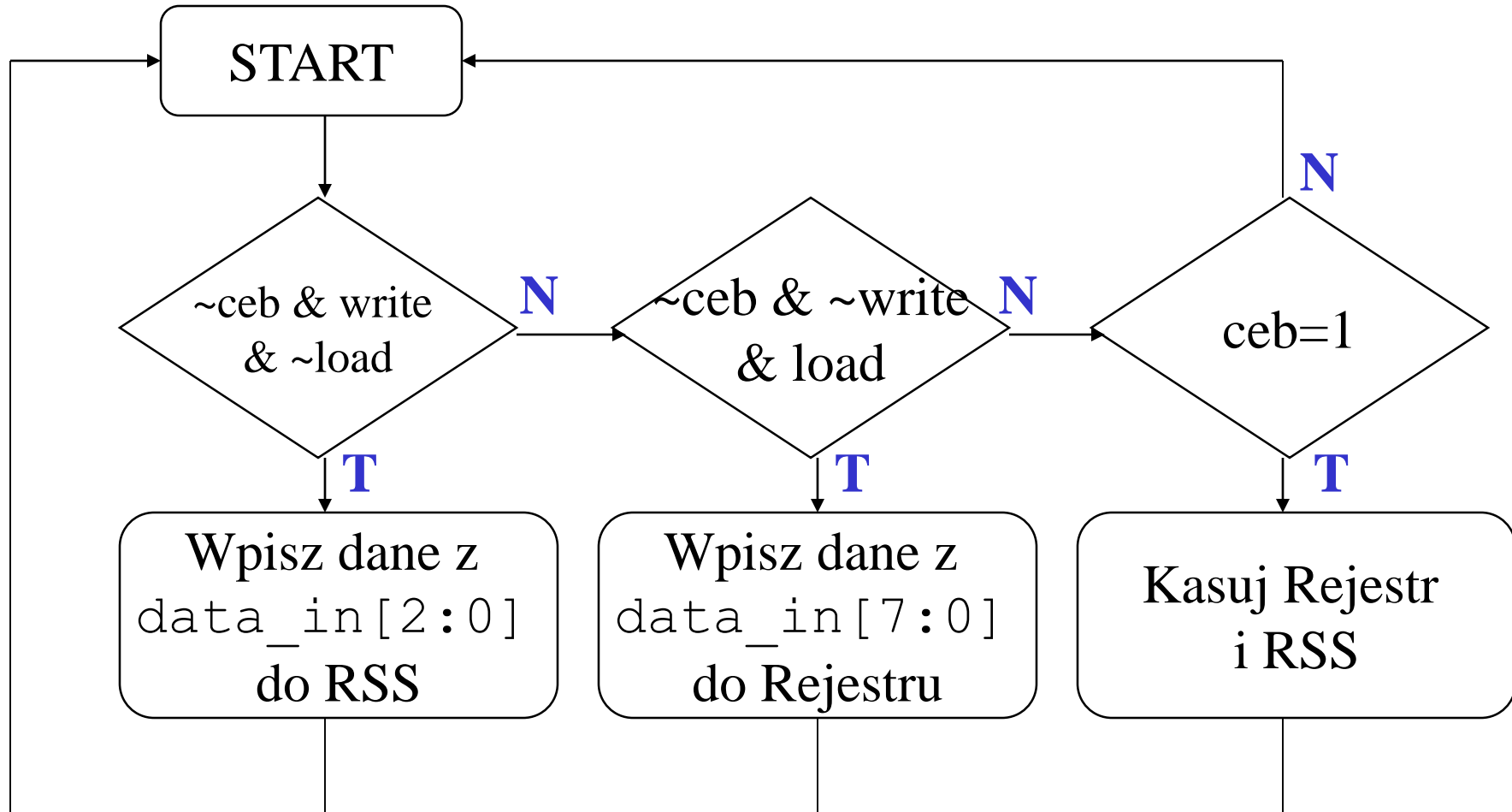


Diagram kasowania danych

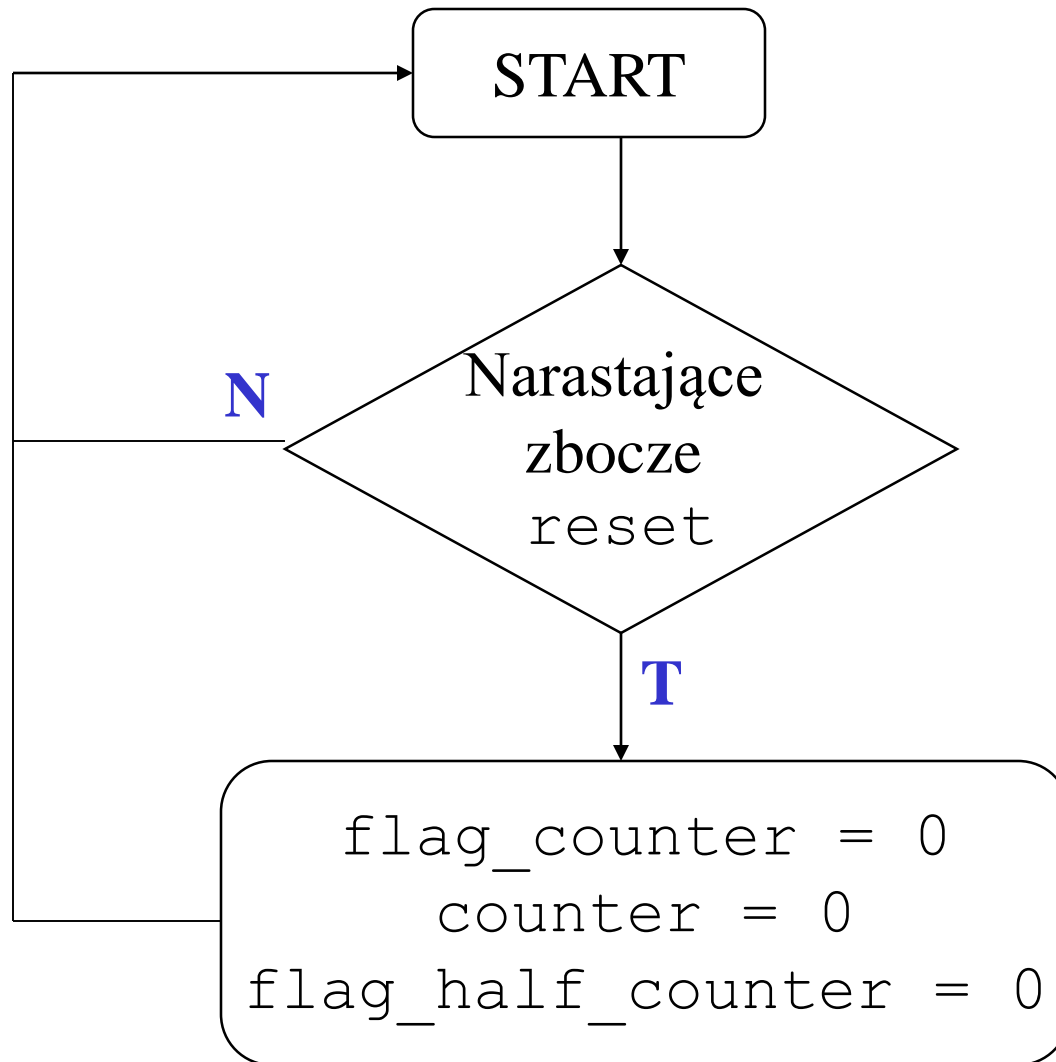


Diagram trybu 0

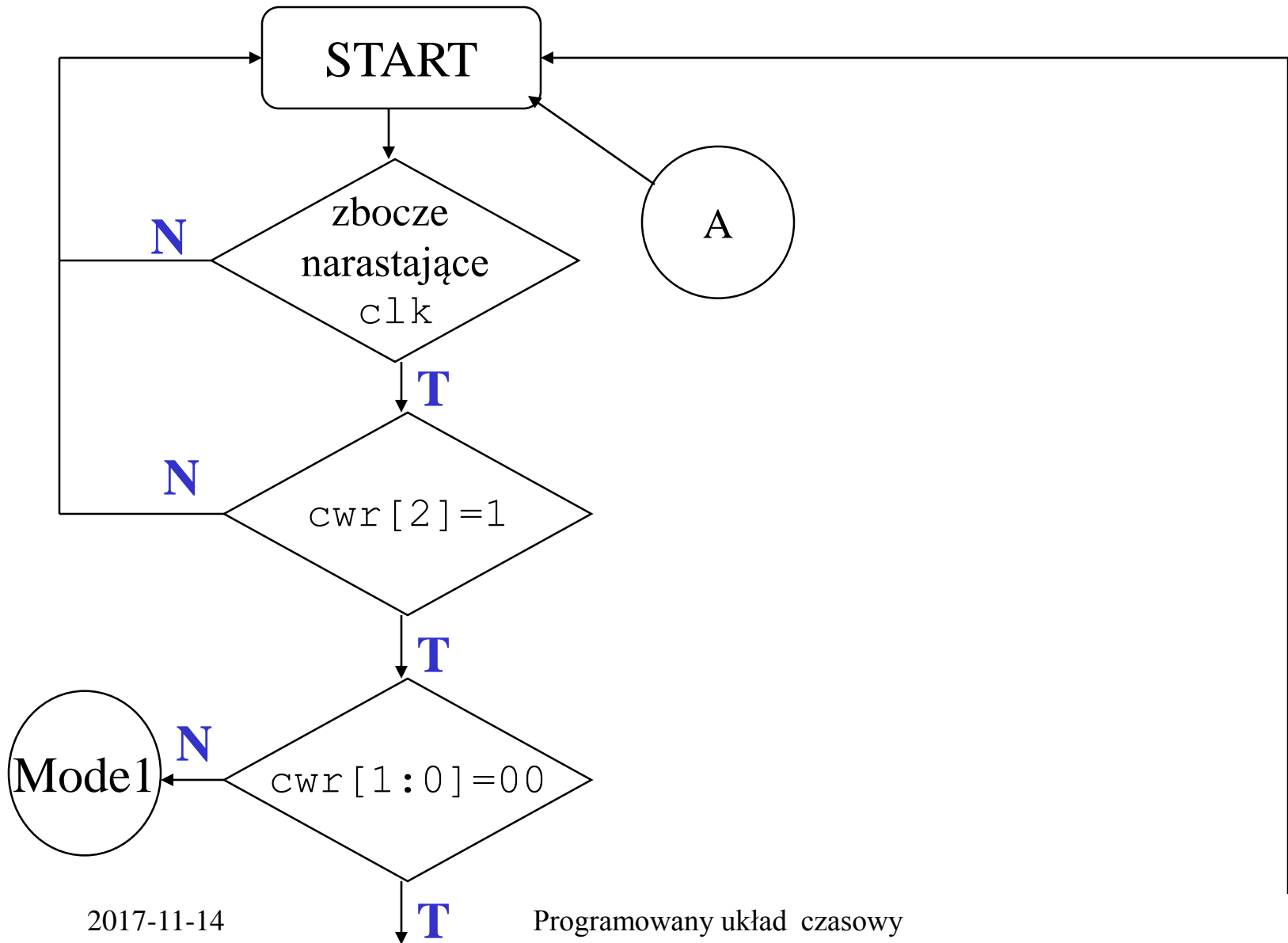


Diagram trybu 0

c.d.

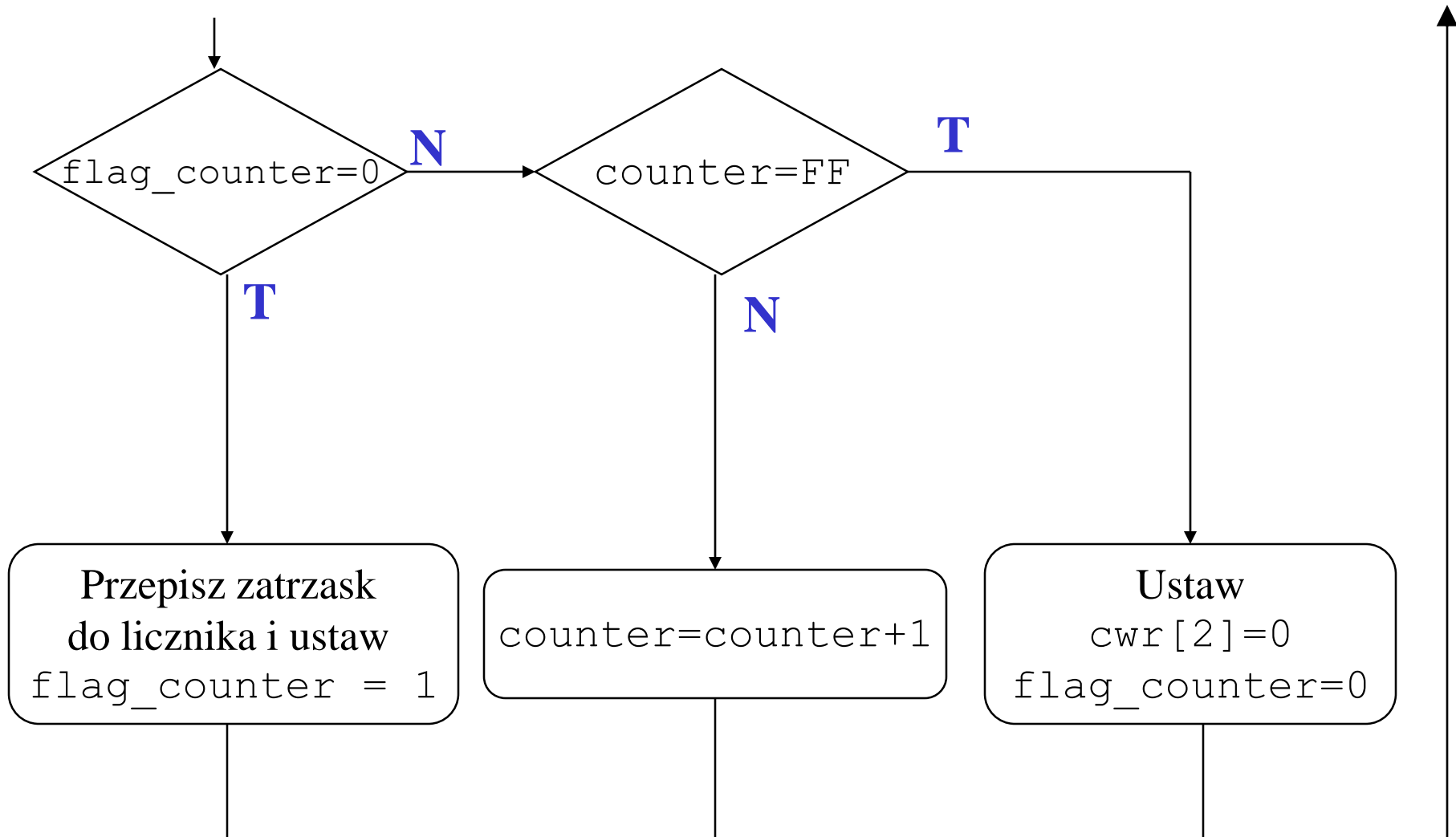


Diagram trybu 1

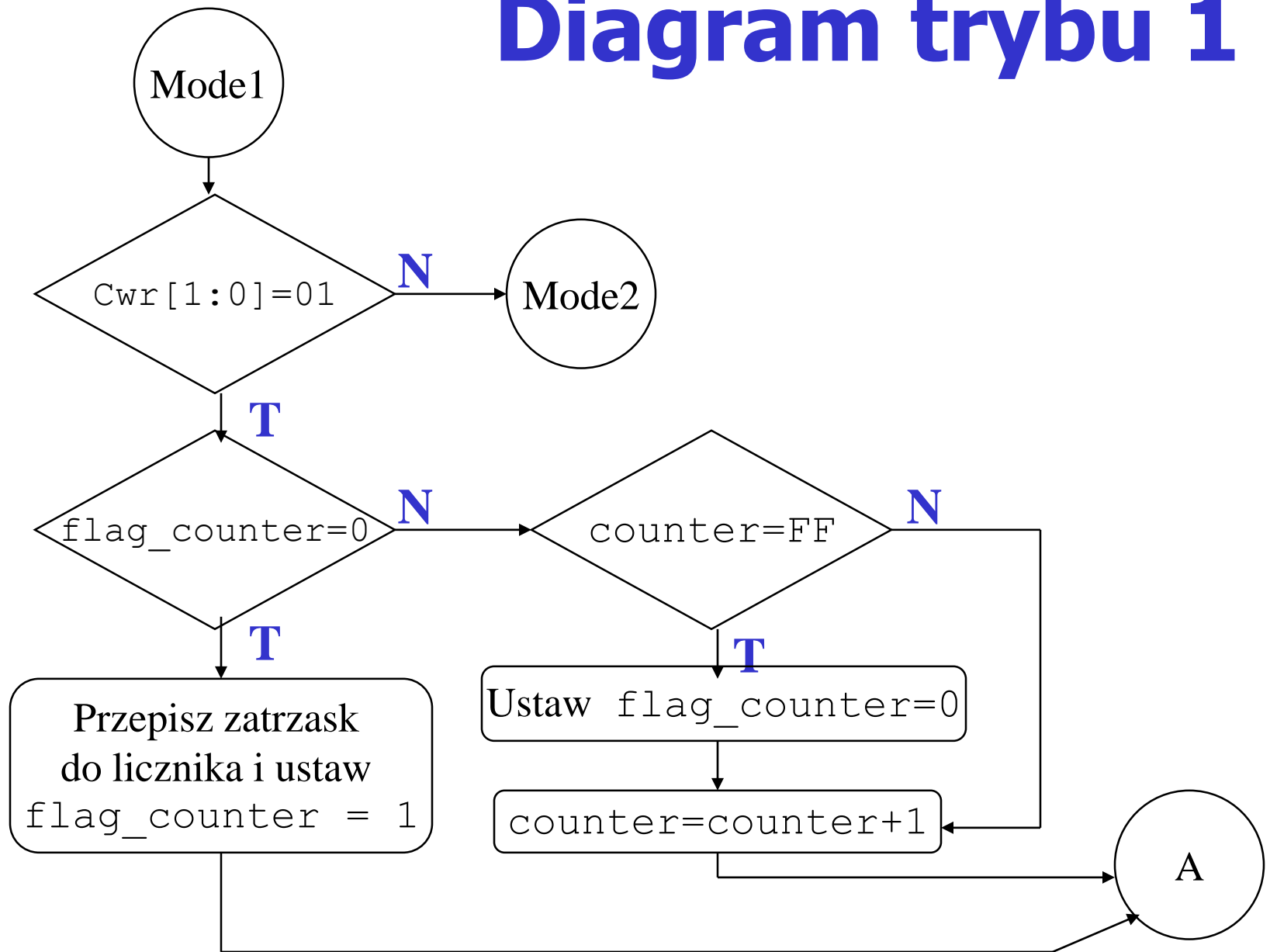


Diagram trybu 2

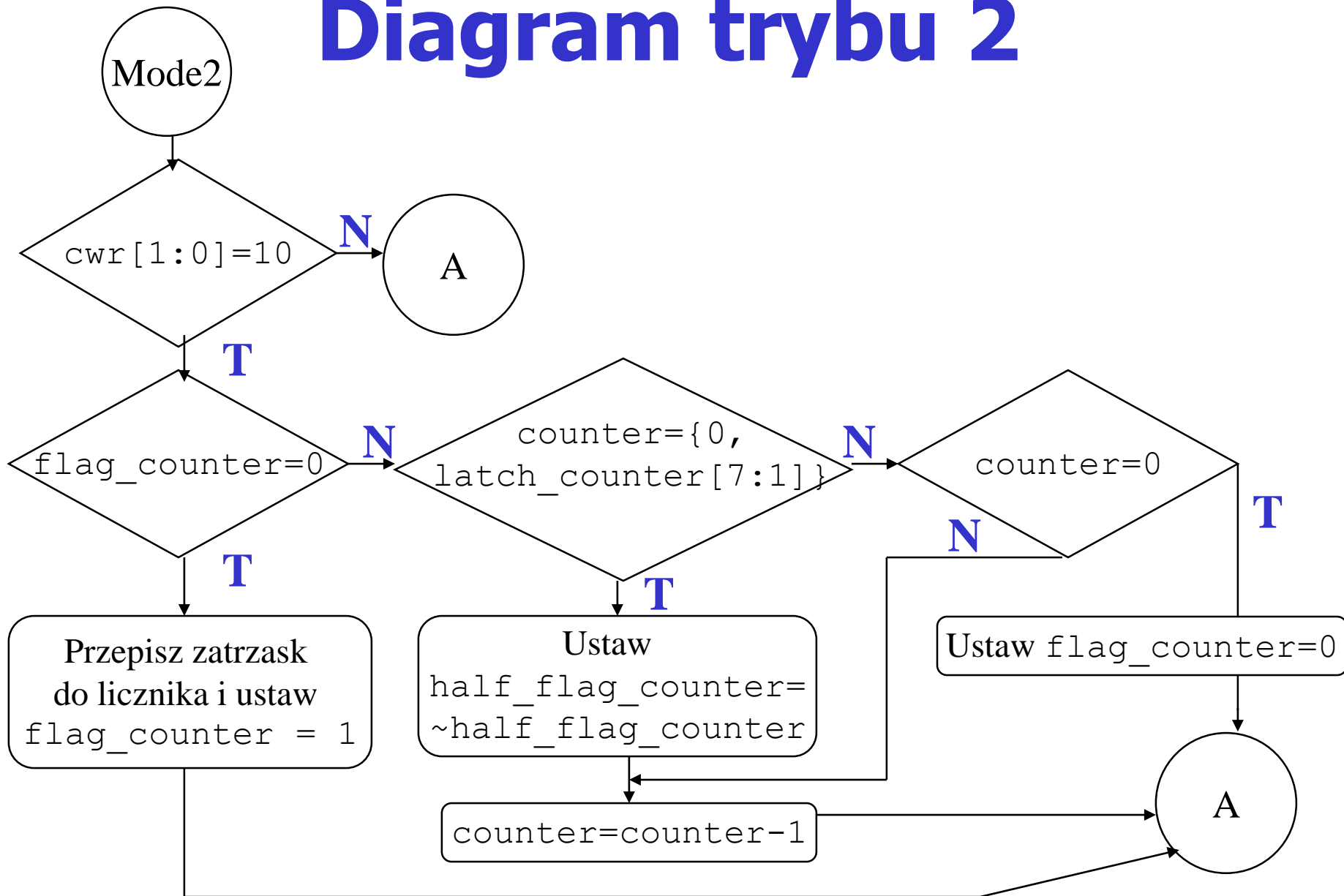
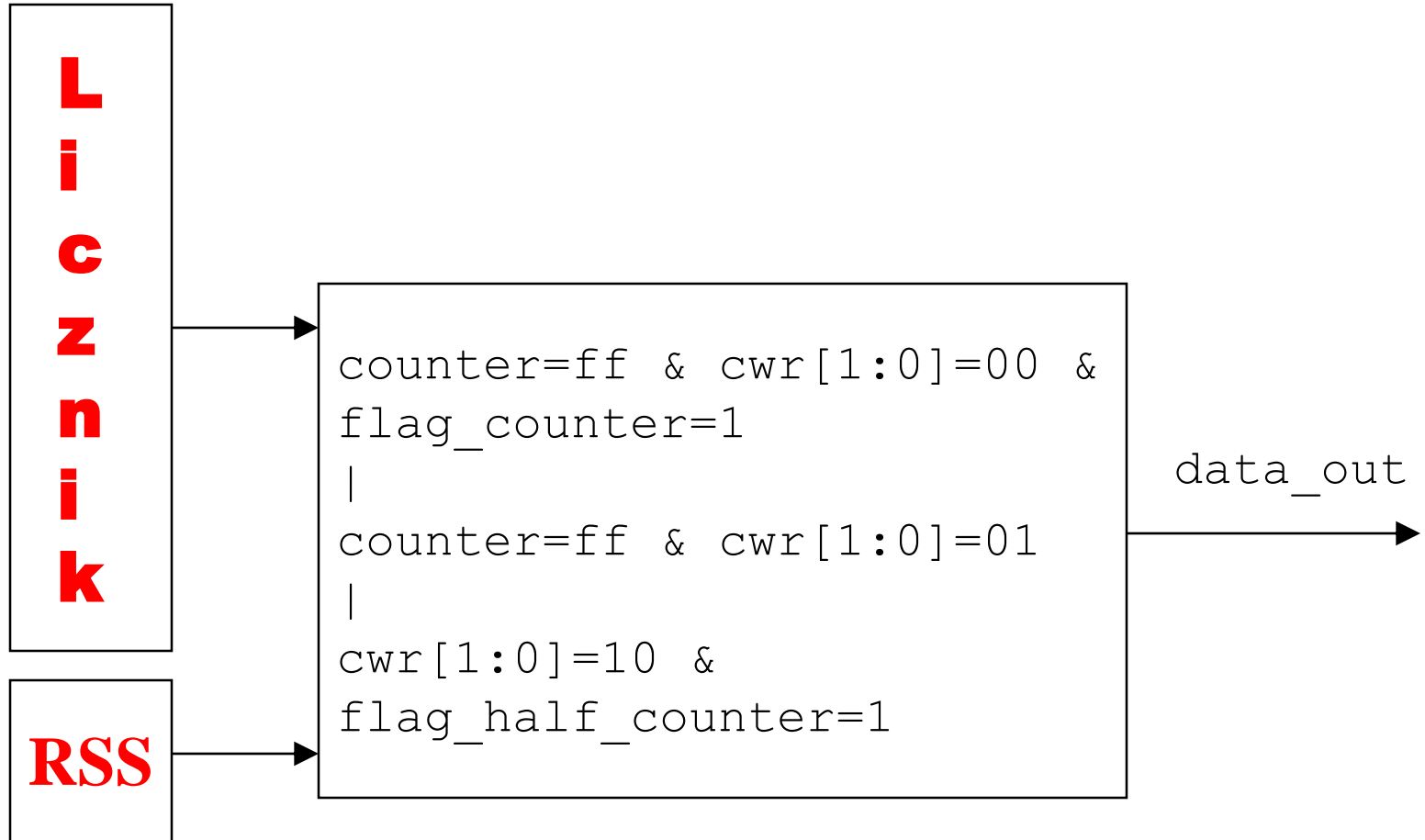


Diagram dekodera



Układ należy zrealizować w FPGA Spartan-3AN i zademonstrować na oscyloskopie działanie układu.

Tryb pracy powinien być ustawiany przełącznikami i sygnalizowany na diodach.