

ECTS – Arkusz przedmiotu (*Course sheet*)

Prowadzący przedmiot (<i>Responsible(s) for the course</i>) tytuł/st. naukowy, imię, nazwisko; (<i>title/degree, full name</i>)	Dr inż. Andrzej Skoczeń
Osoby prowadzące zajęcia pomocnicze (<i>asistant professors</i>) (tytuł/stopień naukowy, imię, nazwisko; (<i>title/degree, full name</i>)	Dr inż. Andrzej Skoczeń, Dr inż. Krzysztof Świentek
Symbol (<i>code</i>); nazwa przedmiotu (<i>course name</i>)	I90?? Projektowanie Systemów Cyfrowych <i>Digital Systems Design</i>
Rodzaj przedmiotu (<i>course type</i>)	kierunkowy (<i>area oriented</i>)
Kierunek i stopień studiów; specjalność <i>area and degree of studies; specialization</i>	Informatyka Stosowana – studia II-go stopnia <i>Applied Computer Science</i>
Semestr studiów, rodzaje zajęć, liczby godzin, liczba punktów kredytowych (<i>semester, type of classes, #of hours,</i> <i>ECTS points</i>)	semestr (<i>semester</i>): IX; łącznie godzin (<i>total hours</i>): 60, wykład (<i>lecture</i>): 30, laboratorium (laboratory) 30, ECTS: 6
Adres internetowy strony www przedmiotu (<i>course Web page</i>)	http://fatcat.ftj.agh.edu.pl/~skoczen/psc/

Cel przedmiotu (*Course objectives*)

Zapoznanie słuchaczy z informatycznymi narzędziami do projektowania urządzeń cyfrowych.

W szczególności są to języki opisu sprzętu HDL, symulatory, syntetyzery logiczne i inne programy wspomagające proces projektowania układów cyfrowych i cyfrowo-analogowych. Zdobytą wiedzę studenci wykorzystują w laboratorium dla samodzielnego wykonania zadań projektowych.

(*To make familiar listeners with software tools dedicated to digital hardware design. In particularity these tools are hardware description languages HDL, simulators, logic synthesizers and other programs aiding a design process of digital and mixed signal systems. Knowledge gathered by students is used in laboratory where they oneseft design a digital system according to delivered requirements.*)

Tytuły wykładów (*Lectures content*)

- Wprowadzenie:** Proces projektowanie układu scalonego wielkiej skali integracji, języki opisu sprzętu, oprogramowanie firmy Cadence 2h
(*Introduction: VLSI design process, hardware description languages HDL, Cadence software*)
- Repetitorium z podstaw elektroniki cyfrowej:** Układy kombinacyjne, algebra boola, tabele Karnaugha, układy sekwencyjne, przerzutniki, zatraski 2h
(*Review in the field of digital electronics fundamentals: Combinational circuits, Boolean algebra, Karnaug maps, sequential circuits, flip-flops, latches*)
- Podstawy Verilog-a:** Konwencje językowe, typy danych, moduły, porty, konkretyzacja modułu, zadania systemowe, funkcje, dyrektywyw kompilatora, typy bramek 2h
(*Introduction to Verilog: Lexical conventions, data types, modules, ports, module instantiation, system tasks, functions, compiler directives, gate types*)
- Modelowanie behavioralne w Verilog-u:** Blok sekwencyjny i równoległy, przypisanie proceduralne blokujące i nieblokujące, sterowanie przebiegów czasowych, instrukcja warunkowa, rozgałęzienia, pętle 2h
(*Behaviotal modeling in Verilog: Sequential and parallel blocks, procedural assignments blocking and nonblocking, timing controls, conditional statements, multiway branching, loops*)
- Modelowanie przepływu danych w Verilogu: Przypisania ciągłe, opóźnienia, operatory 2h
(*Data flow modeling in Verilog: Continous assignments, delays, operators*)
- Synteza logiczna - od RTL do bramek:** Konstrukcje syntetyzowalne, biblioteki technologiczne, narzędzia do syntezy, przykłady 2h
(*Logic synthesis – from RTL to gates: Synthesizable constructs, technological libraries, software tools for synthesis, examples*)
- Automat skończony:** Definicje, automat Moore’a, automat Mealy’ego, kodowanie automatu, przykłady 2h
(*Finite state machine: Definition, Moore machine, Mealy machine, state coding, examples*)
- Technologia CMOS 0,35µm:** Kolejność masek, warstwy, reguły projektowe 2h
(*CMOS 0,35µm technology: masks sequence, layers, design rules*)
- Programowalne układy FPGA** 2h
(*Programmable structores FPGA*)
- Jak zrobić układ scalony z modelu w Verilog-u?** 2h
(*How to make an integrated circuit beginning from Verilog model?*)
- Rozprowadzanie zegara** 2h
(*Clock tree generation*)

ECTS – Arkusz przedmiotu (*Course sheet*)

12	Wprowadzenie do VHDL-a: Jednostka projektowa, interfejs, architektura, porty lokalne, formalne i rzeczywiste, typy danych (<i>Introduction to VHDL: design unit, interface, architecture, local, formal and actual ports, data types</i>)	2h
13	Podstawy VHDL-a (c.d.): operatory, przypisania transportowe i inercyjne, instrukcje warunkowe, rozgałęzienie i pętle (<i>Further VHDL fundamentals: operators, transport and inertial assignments, conditional, multiway decision and loops statements</i>)	2h
14	Przykład w VHDL-u (<i>Example in VHDL</i>)	2h
15	Symulacja cyfrowo-analogowa (<i>Analog mixed signal simulation</i>)	2h
Tytuły pozostałych laboratoriów (<i>Content of laboratories</i>)		
	Laboratorium projektowe z wykorzystaniem oprogramowania firmy Cadence: Verilog-XL, NC-Verilog, NC-VHDL, SimVision, PKS, RTL-Compiler, Encounter i innych. (<i>Design laboratory by means of using the software from Cadence company: Verilog-XL, NC-Verilog, NC-VHDL, SimVision, PKS, RTL-Compiler, Encounter i innych.</i>)	30h
1	Symulacja otrzymanych prostych modułów w Verilog-u i analiza wyników (<i>Simulation of given simple modules in Verilog and results analysis</i>)	2h
2	Tworzenie prostych modułów w Verilog-u według zadanych wymagań (<i>Creation of simple modules in Verilog according to delivered requirements</i>)	4h
3	Synteza logiczna modułów napisanych w Verilog-u na poziomie RTL (<i>Logic synthesis of modules written in Verilog on the RTL level</i>)	4h
4	Projektowanie, symulacja, synteza i weryfikacja automatów skończonych zadanych w postaci grafu stanów lub diagramu przejść (<i>Design, simulation, synthesis and verification of finite state machines given in the form of states graph or flow chart</i>)	4h
5	Symulacja, synteza i weryfikacja prostych jednostek projektowych wVHDL-u i analiza wyników (<i>Simulation, synthesis and verification of simple design units in VHDL and results analysis</i>)	4h
6	Tworzenie prostych jednostek projektowych w VHDL-u (<i>Creation of simple design units in VHDL</i>)	4h
7	Samodzielna praca nad projektami zaliczeniowymi w trybie konsultacji z prowadzącym (<i>Oneself work on credit projects with advices of tutor</i>)	8h
Streszczenie przedmiotu po polsku (<i>Course summary in polish</i>)		
Komputerowe systemy wspomagania projektowania urządzeń cyfrowych i cyfrowo-analogowych. Składnia i semantyka języków opisu sprzętu: Verilog i VHDL. Trzy poziomy opisu sprzętu: behawioralny, przepływu danych, strukturalny. Symulacja a synteza logiczna. Programowane scalone struktury logiczne (PAL, PLD, FPGA). Automatyczna generacja topografii specjalizowanego układu scalonego.		
Streszczenie przedmiotu po angielsku (<i>Course summary in english</i>)		
Computer Aided Design CAD systems dedicated for digital and mixed-signal hardware. Syntax and semantics of hardware description languages HDL: Verilog and VHDL. Three levels of hardware description: behavioral, data flow, structural. Programmable logical integrated structures (PAL, PLD, FPGA). Auto-layout generation for application specific integrated circuit ASIC.		
Bibliografia (<i>Bibliography</i>)		
1	Turczyński J., Piękoś J., <i>Układy scalone TTL w systemach cyfrowych</i>	
2	Palnitkar S., <i>Verilog HDL: a guide to digital design and synthesis</i>	
3	Lee W. F., <i>Verilog Coding for Logic Synthesis</i>	
4	Roth C. H., <i>Digital Systems Design Using VHDL</i>	
5	<i>Materiały z wykładu dostępne na stronie przedmiotu: http://fatcat.ftj.agh.edu.pl/~skoczen/psc/</i>	
	Forma (-y) zaliczenia przedmiotu:	1) egzamin końcowy 2) zaliczenie projektów stworzonych w laboratorium
	(<i>Conditions for receiving credit</i>)	1) <i>final exam</i> 2) <i>positive final grade of designs created in laboratory</i>
	Zasada wystawiania oceny końcowej (<i>Rules to determine the final grade</i>)	Średnia ważona z otrzymanych ocen <i>Weighted mean of all grades received.</i>
	Słowa kluczowe – 5	Elektronika cyfrowa, język opisu sprzętu, Verilog, synteza logiczna, automat skończony.
	(<i>key words – 5</i>)	(<i>Digital electronics, HDL, Verilog, logic synthesis, FSM.</i>)